

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-326684

(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 06-139388

(71)Applicant : SONY CORP

(22)Date of filing : 30.05.1994

(72)Inventor : HAYASHI YUTAKA

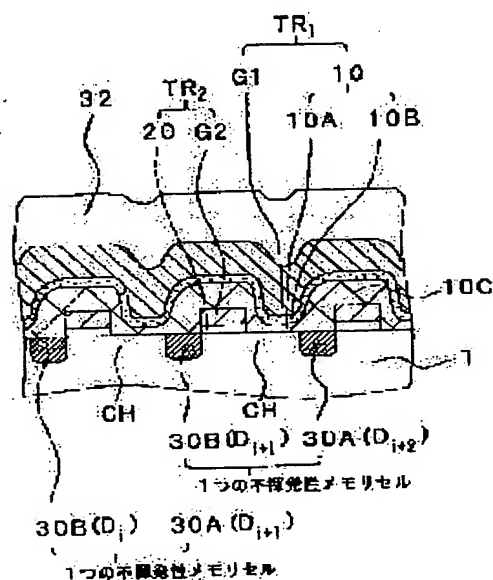
KUBOTA MICHITAKA

(54) NONVOLATILE MEMORY CELL ARRAY

(57)Abstract:

PURPOSE: To surely write and erase data by arranging a plurality of nonvolatile memory cells in the source-drain direction and the direction intersecting the source-drain direction.

CONSTITUTION: Each of the drain/source region 30A and the source/drain region 30B of nonvolatile memory cells adjacent to the direction intersecting the source drain direction is continuous. The drain/source region 30A of the nonvolatile memory cell is common to the source/drain region 30B of the nonvolatile memory cell adjacent to the source-drain direction. The source/drain region 30B of the nonvolatile memory cell is a region in common with the source/drain region 30A of other nonvolatile memory cell adjacent to the source-drain direction. The drain/source region 30A and the source/drain region 30B correspond to bit lines D_i , D_{i+2} and bit lines D_{i+1} , respectively. Thereby the writing and the erasing of data (extraction and injection of electrons) can be surely performed.



LEGAL STATUS

[Date of request for examination]

16.06.2000

[Date of sending the examiner's decision of

BEST AVAILABLE COPY

rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3395364

[Date of registration] 07.02.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326684

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247
29/788
29/792

H 0 1 L 29/ 78 3 7 1
27/ 10 4 3 4

審査請求 未請求 請求項の数9 F D (全 20 頁) 最終頁に続く

(21) 出願番号 特願平6-139388
(22) 出願日 平成6年(1994)5月30日

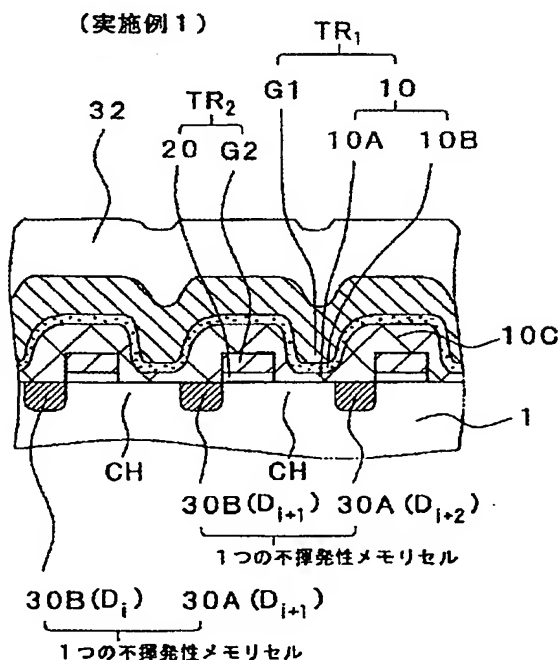
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 林 豊
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 窪田 通孝
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 弁理士 山本 孝久

(54) 【発明の名称】 不揮発性メモリセルアレイ

(57) 【要約】

【目的】 データの書き込みや消去を確実に実行することができ、更には、高速・低動作電圧で動作し得る不揮発性メモリセルアレイを提供する。

【構成】 不揮発性メモリセルアレイは、ドレイン領域30A及びソース領域30B、第1の導電ゲートG1を備えた第1の積層構造体TR₁ (メモリトランジスタ)、並びに、第2の導電ゲートG2を備えた第2の積層構造体TR₂ (選択トランジスタ) から構成された複数のメモリセルから成り、ソース・ドレイン方向 (X方向) に交差する方向 (Y方向) に隣接するメモリセルのドレイン領域30A及びソース領域30Bのそれぞれは連続しており、且つ、X方向に隣接するメモリセルのソース領域30B及びドレイン領域30Aと共通領域であり、各メモリセルの第1の導電ゲートG1はX方向に接続され、各メモリセルの第2の導電ゲートG2はY方向に接続されている。



【特許請求の範囲】

【請求項1】 (A) ドレイン／ソース領域及びソース／ドレイン領域と、

(B) 該ドレイン／ソース領域とソース／ドレイン領域とで挟まれた半導体チャネル形成領域と、

(C) 該半導体チャネル形成領域上に形成された、電荷蓄積層を含む第1の絶縁膜及び第1の導電ゲートから成る第1の積層構造体、並びに、第2の絶縁膜及び第2の導電ゲートから成る第2の積層構造体、から構成された不揮発性メモリセルが、複数個、ソース・ドレイン方向及びそれに交差する方向に配置されて成り、

ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルのドレイン／ソース領域及びソース／ドレイン領域のそれぞれは連続しており、

不揮発性メモリセルのドレイン／ソース領域は、ソース・ドレイン方向に隣接する不揮発性メモリセルのソース／ドレイン領域と共通領域であり、一方、不揮発性メモリセルのソース／ドレイン領域は、ソース・ドレイン方向に隣接する他の不揮発性メモリセルのドレイン／ソース領域と共通領域であり、

各不揮発性メモリセルの第1の導電ゲートは、ソース・ドレイン方向に電気的に接続されており、

各不揮発性メモリセルの第2の導電ゲートは、ソース・ドレイン方向に交差する方向に電気的に接続されていることを特徴とする不揮発性メモリセルアレイ。

【請求項2】 前記第2の導電ゲートは、ソース・ドレイン方向に交差する方向に複数の不揮発性メモリセル分、電気的に接続されており、更に、ソース・ドレイン方向に少なくとも不揮発性メモリセル1つおきに電気的に接続されていることを特徴とする請求項1に記載の不揮発性メモリセルアレイ。

【請求項3】 第1の導電ゲートと第2の導電ゲートとの間に位置する半導体チャネル形成領域には、ドレイン／ソース領域及びソース／ドレイン領域と同じ導電型の中間領域が形成されていることを特徴とする請求項1又は請求項2に記載の不揮発性メモリセルアレイ。

【請求項4】 電荷蓄積層を含む第1の絶縁膜は、酸化膜、窒化膜及び酸化膜の3層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【請求項5】 電荷蓄積層を含む第1の絶縁膜は、酸化窒化膜、窒化膜及び酸化膜の3層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【請求項6】 電荷蓄積層を含む第1の絶縁膜は、酸化膜及び窒化膜の2層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【請求項7】 電荷蓄積層を含む第1の絶縁膜は、酸化窒化膜及び窒化膜の2層から成ることを特徴とする請求項

1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【請求項8】 電荷蓄積層を含む第1の絶縁膜は、絶縁膜、シリコン薄膜及び絶縁膜の3層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【請求項9】 電荷蓄積層を含む第1の絶縁膜は、絶縁膜、シリコン薄膜及び多層絶縁膜の3層から成ることを特徴とする請求項1乃至請求項3のいずれか1項に記載の不揮発性メモリセルアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリセルのソース・ドレイン方向に通常のLOCOS等の素子分離領域の形成を要しない、高集積化が可能な新規の構造を有する不揮発性メモリセルアレイに関する。

【0002】

【従来の技術】 集積回路を形成する場合、通常、LOCOS (Local Oxidation of Silicon) 等の素子分離領域の形成が必要とされる。半導体セルの集積度向上の観点から、素子分離領域の面積は出来る限り小さくすることが望ましい。

【0003】 このようなメモリセルの集積度を改善する手段の1つに、ビット線をポリシリコンから成るゲート部の下方に埋め込み、メモリセル間の一方に素子分離領域を設けない埋め込みビット線方式がある。

【0004】 図21、図22及び図23を用いて、埋め込みビット線方式のマスクROMから成る半導体メモリセル構造及びその動作原理を説明する。図21は、かかる半導体装置の各領域を或る平面に投影したと仮定したときの平面投影図である。また、図22の(A)は、図21の線A-Aに沿った半導体装置の模式的な一部断面図である。更に、図22の(B)は、図21の線B-Bに沿った半導体装置の模式的な一部断面図であり、図22の(C)は、図21の線C-Cに沿った半導体装置の模式的な一部断面図である。

【0005】 この半導体装置における半導体メモリセルの作製方法は、通常とは順序が逆である。即ち、先ず、ビット線を兼用するソース・ドレイン領域をシリコン半導体基板にイオン注入法にて形成し、次に、ゲート酸化膜を成膜した後、ゲート閾値電圧調節のためにボロンのイオン注入を行い、その後、ポリシリコンから成りワード線を兼用するゲート電極部を形成する。増速酸化のためソース・ドレイン領域上は酸化膜の厚さが厚くなり、耐圧の面で有利となる。尚、増速酸化とは、不純物が多く含まれるシリコン半導体基板の領域には、他の領域と比較して、厚い酸化膜が形成される現象を指す。次にボロンをイオン注入して素子分離領域を形成し、ワード線とワード線との間のシリコン半導体基板表面における電荷の反転により発生する電流リークを防止する。ソース

・ドレイン方向にはLOCOS構造を有する素子分離領域がないため、この半導体メモリセル構造は集積度が高い。

【0006】各半導体メモリセルはエンハンス型であり、上記ゲート閾値電圧調節のためのボロンのイオン注入条件を変えることによって、各半導体メモリセルの閾値を、 V_{th1} あるいは V_{th2} のどちらかに設定する。但し、例えば、 $V_{th1} < 3(V) < V_{th2}$ とする。尚、各半導体メモリセルの閾値の相違(V_{th1} 又は V_{th2})が1/0のデータに対応する。

【0007】図23を参照して、以下、このような埋め込みビット線方式を適用したマスクROMの動作を説明する。半導体メモリセルは、ビット毎に動作させる。即ち、ある半導体メモリセル(図23では点線の丸印を付した)のデータを読む場合、その半導体メモリセルの一方のビット線 BL_1 (ドレイン領域に相当する)及びビット線 BL_2 より右側に位置するビット線 $BL_4 \dots$ を全て、例えば5Vとする。一方、他方のビット線 BL_2 (ソース領域に相当する)及びビット線 BL_2 より左側のビット線 $BL_1 \dots$ を全て、例えば0Vとする。そして、データを読み出すべき半導体メモリセルのワード線 WL_2 (ゲート電極部に相当する)を、例えば3Vとし、他のワード線 $WL_1, WL_3 \dots$ を、例えば0Vにする。こうして、データを読み出すべき半導体メモリセルのドレイン・ソース領域間に電流が流れるか否かで1/0データの判定を行うことができる。

【0008】このような埋め込みビット線方式を適用したフラッシュEEPROMの構造を、図24の一部断面図に模式的に示す。また、メモリセルアレイの回路図を図25に示す。尚、このフラッシュEEPROMの模式的な平面図は、図21と同様である。図24の(A)は、図21の線A-Aと同様の線に沿った半導体装置の模式的な一部断面図である。更に、図24の(B)は、図21の線B-Bと同様の線に沿った半導体装置の模式的な一部断面図であり、図24の(C)は、図21の線C-Cと同様の線に沿った半導体装置の模式的な一部断面図である。

【0009】データの読み出しは、図23にて説明したマスクROMの動作と同様である。データ消去(電子のフローティングゲートへの注入)は、コントロールゲートを高電圧にしてトンネル電流で全ての半導体メモリセルに対して同時に行なうことができる。一方、データの書き込み(電子の引き抜き)には工夫を要する。即ち、データを書き込むべき半導体メモリセルのフローティングゲートの電子をかかえる半導体メモリセルの一方のビット線(ドレイン領域)にトンネル電流で引き抜くが、このとき、このビット線につながっている隣接する半導体メモリセルのフローティングゲートから電子が引き抜かれないようにしなければならない。

【0010】そのために、例えば、文献 "An Asymmet

ical Offset Source/Drain Structure for Virtual Ground Array Flash Memory with DINOR Operation", M. Ohi, et al. Technical Digest of 1992 Symposium on VLSI Technology, June, 1993, Kyoto においては、ソース側にオフセット領域を設けている。かかる半導体メモリセルの模式的な一部断面図を図26の(A)に、また、メモリセルアレイの回路図を図26の(B)に示す。例えば、図26の(B)において「*」を付したメモリセルのフローティングゲートから電子を引き抜く場合、このメモリセルの右隣りのメモリセルのソース側にオフセット領域が設けられているので、この右隣りのメモリセルのフローティングゲートから電子は引き抜かれない。但し、このような構造のメモリセルにおいては、電荷蓄積層であるフローティングゲートの全面から電子を引き抜くのではなく、フローティングゲートの一部から電子を引き抜く。

【0011】

【発明が解決しようとする課題】この文献に開示されたオフセット領域を有する半導体メモリセルの製造工程においては、コントロールゲートの下の絶縁膜が必然的に厚くなってしまい、この領域でのパッチスルーが問題となる。

【0012】書き込み時にコントロールゲートを負電位(-9V)とするが、それでも製造時における閾値等の半導体メモリセルの特性ばらつきを考慮すると、チャネル領域の不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ でオフセット領域の長さは200nm以上を必要とされる。このため、1つの半導体メモリセルの大きさは、1つのトランジスタで構成されているにも拘らず、通常の1つのトランジスタに必要とされる大きさよりも大きくなる。更に、実際には、ソース・ドレイン領域を形成するために、高濃度のn型不純物のイオン注入が必要となるため、高密度化が困難となり、0.5 μm ルール以下のサブミクロンデバイスの領域では半導体メモリセルの縮小化に対応できなくなる。

【0013】更に、文献に開示された不揮発性メモリセルアレイの構造においては、フローティングゲートからドレイン領域へ電子を引き抜く、所謂書き込み動作をとらざるを得ない。それ故、文献に開示された不揮発性メモリセルアレイの構造は、チャネル領域から電子又は正孔を出し入れする半導体メモリセル(例えばMNOSメモリ、MONOSメモリ、チャネル領域から電子を注入又は引き出すフローティングゲート型不揮発性メモリセル)には適用することができない。

【0014】また、文献のFig. 7に示されているように、文献に開示された不揮発性メモリセルアレイの構成は、フローティングゲートの一部から電子を引き抜く構成であるために、書き換え回数に制限(1万回まで)がある。これを回避するためには、チャネル領域から電子を出し入れする半導体メモリセル構造(フローティン

グ型を含む)とする必要がある。

【0015】加うるに、オフセット領域はチャネル領域に直列の抵抗として働くため、メモリトランジスタの電流駆動能力が低下し、高速動作に不利となる。この傾向は特に動作電圧が低い領域で著しいため、低電圧化に不利である。即ち、高速・低動作電圧という現在の技術の潮流に逆行することになる。

【0016】以上に述べたように、不揮発性メモリセルアレイの微細化に対応するためには、オフセット領域の形成を不要とする新しい高密度不揮発性メモリセルアレイの提供が不可欠となる。

【0017】従って、本発明の目的は、オフセット領域の形成を不要とし、しかもデータの書き込みや消去(電子の引き抜きや注入)を確実に実行することができ、更には、高速・低動作電圧という要求に対応し得る新しい高密度不揮発性メモリセルアレイを提供することにある。更に、本発明の目的は、チャネル領域からの電子の出し入れを可能にする不揮発性メモリセルアレイを提供することにある。更に、本発明の目的は、不揮発性メモリセルに対するデータの読み出しを高速で行うことを可能にする不揮発性メモリセルアレイを提供することにある。

【課題を解決するための手段】

【0018】上記の目的は、(A)ドレイン/ソース領域及びソース/ドレイン領域と、(B)該ドレイン/ソース領域とソース/ドレイン領域とで挟まれた半導体チャネル形成領域と、(C)該半導体チャネル形成領域上に形成された、電荷蓄積層を含む第1の絶縁膜及び第1の導電ゲートから成る第1の積層構造体、並びに、第2の絶縁膜及び第2の導電ゲートから成る第2の積層構造体、から構成された不揮発性メモリセルが、複数個、ソース・ドレイン方向及びそれに交差する方向に配置されて成り、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルのドレイン/ソース領域及びソース/ドレイン領域のそれぞれは連続しており、不揮発性メモリセルのドレイン/ソース領域は、ソース・ドレイン方向に隣接する不揮発性メモリセルのソース/ドレイン領域と共通領域であり、一方、不揮発性メモリセルのソース/ドレイン領域は、ソース・ドレイン方向に隣接する他の不揮発性メモリセルのドレイン/ソース領域と共通領域であり、各不揮発性メモリセルの第1の導電ゲートは、ソース・ドレイン方向に電気的に接続されており、各不揮発性メモリセルの第2の導電ゲートは、ソース・ドレイン方向に交差する方向に電気的に接続されていることを特徴とする本発明の不揮発性メモリセルアレイによって達成することができる。

【0019】本発明の不揮発性メモリセルアレイにおいては、前記第2の導電ゲートは、ソース・ドレイン方向に交差する方向に複数の不揮発性メモリセル分、電気的に接続されており、更に、ソース・ドレイン方向に少な

くとも不揮発性メモリセル1つおきに電気的に接続されていることが好ましい。

【0020】更に、本発明の不揮発性メモリセルアレイにおいては、第1の導電ゲートと第2の導電ゲートとの間に位置する半導体チャネル形成領域には、ドレイン/ソース領域及びソース/ドレイン領域と同じ導電型の間領域が形成されている態様を含めることができる。

【0021】本発明の不揮発性メモリセルアレイにおいては、電荷蓄積層を含む第1の絶縁膜を、酸化膜、窒化膜及び酸化膜の3層(所謂ONO膜)から構成することができる。あるいは又、電荷蓄積層を含む第1の絶縁膜を、酸化窒化膜、窒化膜及び酸化膜の3層から構成することができる。更には又、電荷蓄積層を含む第1の絶縁膜を、酸化膜及び窒化膜の2層、あるいは、酸化窒化膜及び窒化膜の2層から構成することができる。更には、電荷蓄積層を含む第1の絶縁膜は、絶縁膜、シリコン薄膜及び絶縁膜の3層(所謂フローティングゲート構造)から構成することができる。また、電荷蓄積層を含む第1の絶縁膜は、絶縁膜、シリコン薄膜及び多層絶縁膜(例えば、NO、ONO等)の3層から構成することができる。

【0022】

【作用】本発明の不揮発性メモリセルアレイを構成する不揮発性メモリセルにおいては、メモリトランジスタに相当する第1の積層構造体、及び選択トランジスタに相当する第2の積層構造体が半導体チャネル形成領域上に形成されている。しかも、ビット線に相当するドレイン/ソース領域は、ソース・ドレイン方向に隣接する不揮発性メモリセルのソース/ドレイン領域と共通領域であり、一方、ビット線に相当するソース/ドレイン領域は、ソース・ドレイン方向に隣接する他の不揮発性メモリセルのドレイン/ソース領域と共通領域であるので、メモリトランジスタと選択トランジスタの2つのトランジスタから構成された従来の不揮発性メモリセルよりも、メモリセルの大きさを小さくすることができる。

【0023】また、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルのドレイン/ソース領域及びソース/ドレイン領域のそれぞれ(これらはビット線に相当する)は連続しており、所謂埋め込みビット線方式を採用しているので、従来技術におけるLOCO S等の大きな段差が生じることがなく、半導体装置を高い精度で加工することができる。

【0024】更には、上述の文献に開示された不揮発性メモリセルとは異なり、不揮発性メモリセルは選択トランジスタに相当する第2の積層構造体を有しており、第2の積層構造体のオン/オフ動作によって、データの書き込みや消去(電子の引き抜きや注入)を確実に実行することができる。更には、チャネル領域に直列の抵抗として働くオフセット領域が存在しないために、高速・低動作電圧という要求を満足し得る高密度不揮発性メモリ

セルアレイを提供することが可能である。

【0025】また、本発明においては、選択トランジスタに相当する第2の積層構造体を備えている。それ故、或る不揮発性メモリセルのチャネル領域の電位を、かかる不揮発性メモリセルのドレイン/ソース領域と共通領域であるソース/ドレイン領域を有するソース・ドレイン方向に隣接する不揮発性メモリセルのチャネル領域の電位と異なる値にすることができる。その結果不揮発性メモリセルのチャネル領域からの電子（キャリア）の出し入れが可能になる。

【0026】本発明の不揮発性メモリセルアレイの好ましい態様においては、第2の導電ゲートは、ソース・ドレイン方向に交差する方向に複数の不揮発性メモリセル分、電気的に接続されており、更に、ソース・ドレイン方向に少なくとも不揮発性メモリセル1つおきに電気的に接続されている。これによって、後に詳述するが、或る第2の導電ゲートにおいて、例えば1つおきに不揮発性メモリセル内のデータを読み出すことができ、図25に示した従来の不揮発性メモリセルアレイよりもデータの読み出しを高速で行うことが可能になる。また、偶数番目の不揮発性メモリセルと奇数番目の不揮発性メモリセルをバーチャルに異なるアレイブロックのメモリセルと看做すように論理構成をすれば、外部端子からは全ビット同時に1つのアレイブロックを書込み/消去、読み出しをするのと等価な速度が得られる。

【0027】

【実施例】以下、図面を参照して本発明の不揮発性メモリセルアレイを説明する。

【0028】（実施例1）本発明の不揮発性メモリセルアレイの回路図を図1に示す。また、実施例1の不揮発性メモリセルアレイの各領域を或る平面に投影したと仮定したときの平面投影図を図2に示す。更に、図2の線111-111に沿った2つの不揮発性メモリセルの模式的な一部断面図を図3に示す。

【0029】本発明の不揮発性メモリセルアレイは、不揮発性メモリセルが、複数個、ソース・ドレイン方向及びそれに交差する方向に配置されて成る。例えば、図1においてビット線 D_{j+1} 及び D_{j+2} 並びにワード線 WW_{i+2} にて規定される1つの不揮発性メモリセル（「*」印を付した）について、以下説明する。尚、ビット線を意味する記号として「D」を用い、ワード線を意味する記号として「WW」を用いた。また、後述する選択ゲート線を意味する記号として「BW」を用いた。実施例1においては、k個の不揮発性メモリセルで1つのブロックが構成されており、添字「i」は1行目のブロックを意味し、添字「j」はj列目のブロックを意味する。更に、1つのブロック内のk番目の不揮発性メモリセルに関しては添字「k」を付けた。

【0030】図3に示すように、1つの不揮発性メモリセルは、（A）ドレイン/ソース領域30A及びソース

／ドレイン領域30Bと、（B）ドレイン/ソース領域30Aとソース/ドレイン領域30Bとで挟まれた半導体チャネル形成領域CHと、（C）半導体チャネル形成領域CH上に形成された第1の積層構造体 TR_1 及び第2の積層構造体 TR_2 から成る。第1の積層構造体 TR_1 は、電荷蓄積層10Bを含む第1の絶縁膜10、及び第1の導電ゲートG1から構成されている。一方、第2の積層構造体 TR_2 は、第2の絶縁膜20、及び第2の導電ゲートG2から構成されている。尚、参照番号10Cは絶縁膜であり、参照番号32は層間絶縁層である。

【0031】第1の積層構造体 TR_1 は所謂メモリトランジスタとし機能し、第2の積層構造体 TR_2 は所謂選択トランジスタとして機能する。

【0032】そして、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルのドレイン/ソース領域30A及びソース/ドレイン領域30Bのそれぞれは連続している。即ち、図1、図2及び図3に示すように、ビット線 D_j 、 D_{j+1} ・・・はドレイン/ソース領域あるいはソース・ドレイン領域30A若しくは30Bに相当し、これらはそれぞれ、図2に示すように、ソース・ドレイン方向に交差する方向に隣接する複数の不揮発性メモリセルを跨って連続している。

【0033】また、不揮発性メモリセルのドレイン/ソース領域30Aは、ソース・ドレイン方向に隣接する不揮発性メモリセル（図1、図2及び図3においては右側に隣接する不揮発性メモリセル）のソース/ドレイン領域30Bと共通領域であり、一方、不揮発性メモリセルのソース/ドレイン領域30Bは、ソース・ドレイン方向に隣接する他の不揮発性メモリセル（図1、図2及び図3においては左側に隣接する不揮発性メモリセル）のドレイン/ソース領域30Aと共通領域である。言い換えれば、ビット線 D_j 及び D_{j+1} にて規定される不揮発性メモリセルのドレイン/ソース領域30Aはビット線 D_{j+1} に相当し、ソース/ドレイン領域30Bは D_j に相当する。一方、ビット線 D_{j+1} 及び D_{j+2} にて規定される不揮発性メモリセルのドレイン/ソース領域30Aはビット線 D_{j+2} に相当し、ソース/ドレイン領域30Bはビット線 D_{j+1} に相当する。

【0034】各不揮発性メモリセルの第1の導電ゲートG1は、ソース・ドレイン方向に電気的に接続されている。即ち、第1の導電ゲートG1の各々は、ソース・ドレイン方向に隣接する複数の不揮発性メモリセルを跨って連続しており、実施例1においては、ワード線 WW_{i+1} 、 WW_{i+2} ・・・を構成する。一方、各不揮発性メモリセルの第2の導電ゲートG2は、ソース・ドレイン方向に交差する方向に電気的に接続されている。即ち、第2の導電ゲートG2の各々は、ソース・ドレイン方向に交差する方向に隣接する複数（例えば2k個）の不揮発性メモリセルを跨って連続している。

【0035】更に、図1及び図2に示すように、ソース

・ドレイン方向に少なくとも不揮発性メモリセル1つおきに(実施例1においては、ソース・ドレイン方向に不揮発性メモリセル1つおきに)、第2の導電ゲートG2は、選択ゲート線BW₁, BW₁₊₁...によって電氣的に接続されている。尚、かかる複数(1ブロック分)の不揮発性メモリセルを、図1においては一点鎖線で囲んで示した。また、図7に、複数のブロックと第2の導電ゲートG2と選択ゲート線BWとの関係を模式的な回路図として図示した。

【0036】図4、図5及び図6に、図2の線IV-I 10
V、線V-V、線VI-VIに概ね沿った複数の不揮発性メモリセルの模式的な一部断面図を示す。図4は、ソース・ドレイン方向に交差する方向に第2の導電ゲートG2を含む垂直面で複数の不揮発性メモリセルを切断したときの模式的な一部断面図である。図5は、ソース・ドレイン方向に交差する方向に第1の積層構造体TR₁(メモリトランジスタに相当する)を含む垂直面で複数の不揮発性メモリセルを切断したときの模式的な一部断面図である。ソース・ドレイン方向に交差する方向に配列された第1の積層構造体TR₁(メモリトランジスタに相当する)は、素子分離領域31によって各々が電氣的に分離されている。図6は、ソース・ドレイン方向に交差する方向にドレイン/ソース領域若しくはソース/ドレイン領域30(ビット線)を含む垂直面で複数の不揮発性メモリセルを切断したときの模式的な一部断面図である。尚、第1の導電ゲートG1は図4、図5及び図6の紙面と垂直方向に延びており、3つの第1の導電ゲートG1を含んで描いた。

【0037】図1に示した回路を有する不揮発性メモリセルアレイの動作を以下に説明する。尚、以下に説明する電圧は全て例示であり、ビット線D₁₊₁及びD₁₊₂並びにワード線WW_{1,2}にて規定される1つの不揮発性メモリセル(図1では「*」印を付した)にアクセスする場合を説明する。尚、この1つの不揮発性メモリセルを、以下、アクセスメモリセルとも呼ぶ。メモリトランジスタに相当する第1の積層構造体TR₁をMONOS型としたが、フローティングゲート型等であってもよい。この場合には、第1の積層構造体TR₁の構造に応じて印加電圧を変更すればよい。

【0038】[第1の積層構造体TR₁(メモリトランジスタ)からの電子の引き抜き]本発明の不揮発性メモリセルアレイにおいては、最初に全ての不揮発性メモリセルを"1"の状態にする。即ち、第1の積層構造体TR₁(メモリトランジスタ)から電子を引き抜く。この場合、第1の積層構造体TR₁(メモリトランジスタ)からビット線への電子の引き抜きはワード線単位で行い、かかるワード線につながれた不揮発性メモリセルを"1"の状態にする。そのために、ワード線WW_{1,2}を例えば-6Vとし、このワード線以外は0Vとする。ビット線は全て0V、又はそれで不十分な場合にはワー 50

ド線WW_{1,2}につながっている不揮発性メモリセルのビット線のみ必要な電圧(例えば1V)とする。一方、第2の積層構造体TR₂(選択トランジスタ)は全てオフ状態にする。ここで肝心なことは、電子を引き抜き過ぎて第1の積層構造体TR₁(メモリトランジスタ)をデプレッション型にしないことである。但し、デプレッション型になってしまったとしても、次の"0"の書き込みの際、"1"の状態のままにしておく不揮発性メモリセルのビット線の電位を適宜選択することによって、"1"の状態の第1の積層構造体TR₁(メモリトランジスタ)のゲート閾値電圧をエンハンスメント側へ調節することができる。

【0039】[第1の積層構造体TR₁(メモリトランジスタ)への電子の注入]アクセスメモリセルを"0"の状態にする場合、アクセスメモリセルの第1の積層構造体TR₁(メモリトランジスタ)へ電子を注入する必要がある。この場合、WW_{1,2}を例えば7V、他のワード線を全て0V、またビット線D₁₊₂を0Vとし、他のビット線D₁, D₁₊₁, D₁₊₃, D₁₊₄, ...を3Vとする。一方、第2の積層構造体TR₂(選択トランジスタ)を全てオフ状態にする。右側に隣接する不揮発性メモリセルのビット線D₁₊₃(ソース/ドレイン領域に相当する)には3Vが印加されているが、この不揮発性メモリセルの第2の積層構造体TR₂(選択トランジスタ)はオフ状態である。従って、アクセスメモリセルへ電子を注入する際、右側に隣接する不揮発性メモリセルに影響を及ぼすことはない。この操作で、アクセスメモリセルの第1の積層構造体TR₁(メモリトランジスタ)のゲート閾値電圧は"0"の状態に設定される。

【0040】[データの読み出し]選択ゲート線BW₁を例えば5Vとし、選択ゲート線BW₁₊₁を0Vとする。これによって、選択ゲート線BW₁に接続された第2の積層構造体TR₂(選択トランジスタ)の第2の導電ゲートG2は5Vとなる。一方、選択ゲート線BW₁₊₁に接続された第2の積層構造体TR₂(選択トランジスタ)の第2の導電ゲートG2は0Vとなる。また、ビット線D₁, D₁₊₂, D₁₊₄...を3Vとし、ビット線D₁₊₁, D₁₊₃...を0Vとする。そして、"0"の状態の第1の積層構造体TR₁(メモリトランジスタ)のゲート閾値電圧と"1"の状態の第1の積層構造体TR₁(メモリトランジスタ)のゲート閾値電圧との間の電圧を、ワード線に順に(例えば、WW_{1,1}→WW_{1,2}→...、WW_{1,1-1}→WW_{1,1})印加し各不揮発性メモリセル内のデータを読む。

【0041】この状態においては、一対のビット線(D₁, D₁₊₁), (D₁₊₂, D₁₊₃)で挟まれた不揮発性メモリセルの第2の積層構造体TR₂(選択トランジスタ)はオフ状態である。一方、一対のビット線(D₁₊₁, D₁₊₂), (D₁₊₃, D₁₊₄)で挟まれた不揮発性メモリセルの第2の積層構造体TR₂(選択トランジスタ)はオ

ン状態である。従って、一对のビット線 ($D_{j,1}$, $D_{j+1,1}$)、($D_{j+2,1}$, $D_{j+3,1}$)・・・で挟まれた不揮発性メモリセルのデータを読み取ることはできず、一方、一对のビット線 ($D_{j+1,1}$, $D_{j+2,1}$)、($D_{j+3,1}$, $D_{j+4,1}$)・・・で挟まれた不揮発性メモリセルのデータを読み取ることができる。即ち、1つのワード線WWにおいて1つおきに不揮発性メモリセルのデータを読み取ることができる。

【0042】ワード線WW_{1,1}までのデータの読み取りが終われば、次の選択ゲート線(BW₁₊₁)を5Vとし、選択ゲート線(BW₁)を0Vとし、一对のビット線($D_{j,1}$, $D_{j+1,1}$)、($D_{j+2,1}$, $D_{j+3,1}$)・・・で挟まれた不揮発性メモリセルのデータを、同様の方法で逐次読んでいく。

【0043】図24にて説明した構造の不揮発性メモリセルアレイにおいては、ビット線 $D_{j+1,1}$ 及び $D_{j+2,1}$ 並びにワード線WW_{1,2}にて規定される1つの不揮発性メモリセルのデータを読み取る場合、ビット線 $D_{j+1,1}$ 及びそれより左側に位置するビット線を0Vとし、ビット線 $D_{j+2,1}$ 及びそれより右側に位置するビット線を3Vとする必要があり、1つのワード線WWにおいては1つの不揮発性メモリセルのデータしか読み取ることができない。従って、本発明の不揮発性メモリセルアレイでは、従来よりも高速で不揮発性メモリセルのデータを読み取ることができる。

【0044】また、第1の積層構造体TR₁(メモリトランジスタ)への電子の注入の際、あるいは、第1の積層構造体TR₁(メモリトランジスタ)からの電子の引き抜きの際、第2の積層構造体TR₂(選択トランジスタ)はオフ状態にされる。それ故、不揮発性メモリセルに対して確実にデータの消去あるいはデータの書き込みを行うことができ、しかも、他の不揮発性メモリセルに対して影響を及ぼすことが全くない。

【0045】次に、実施例1の不揮発性メモリセルアレイの作製方法を、図8～図13を参照して説明する。第1の積層構造体TR₁(メモリトランジスタ)はMONOS型とした。尚、不揮発性メモリセルアレイの作製方法においては、ドレイン/ソース領域及びソース/ドレイン領域を総称してソース・ドレイン領域と表現する場合がある。

【0046】[工程-100] 先ず、シリコン半導体基板1の表面を従来の方法で酸化して、シリコン半導体基板1の表面にSiO₂から成る第2の絶縁膜20(ゲート酸化膜)を形成する。次に、CVD法で全面にポリシリコン層を成形した後、フォトリソグラフィ技術及びドライエッチング技術を用いてポリシリコン層及び必要ならば第2の絶縁膜20を選択的に除去し、ポリシリコンから成る第2の導電ゲートG2、及びその下に形成された第2の絶縁膜20から成る第2の積層構造体TR₂を形成する。こうして、図8の(A)に模式的な一部断面

図を示し、図8の(B)に模式的な一部平面図を示す構造を得ることができる。尚、図8の(A)は、図8の(B)の線A-Aに沿った断面図である。第2の導電ゲートG2は、ソース・ドレイン方向に交差する方向に電氣的に接続されている。より具体的には、第2の導電ゲートG2は、ソース・ドレイン方向に交差する方向に複数(例えば2k個)の不揮発性メモリセル分、連続している。尚、図8の(B)には、或る第2の導電ゲートG2を不連続とした領域も示した。

【0047】[工程-110] 次に、ポリシリコンから成る第2の導電ゲートG2の一部及びソース・ドレイン領域形成予定領域を除く全面にレジスト2を形成する。そして、例えばn型の不純物をイオン注入する。この場合、ソース・ドレイン領域の一部分の形成をセルフアライメントで行うことができるという利点がある。こうして、図9の(A)に模式的な一部断面図を示し、図9の(B)に模式的な一部平面図を示す構造を得ることができる。尚、図9の(A)は、図9の(B)の線A-Aに沿った断面図である。また、図9の(B)においては、レジスト2の図示を省略した。これによって、第2の導電ゲートG2には既に高濃度の不純物が添加されているが、更に高濃度の不純物が取り込まれ、且つソース・ドレイン領域30が形成される。ソース・ドレイン領域30(ドレイン/ソース領域及びソース/ドレイン領域)のそれぞれは、ソース・ドレイン方向に交差する方向に後に形成される複数の不揮発性メモリセルに跨って連続している。ソース・ドレイン領域30はビット線Dに相当する。

【0048】こうして、図9に示すように、ソース・ドレイン領域30で挟まれた半導体チャネル形成領域CHと、半導体チャネル形成領域CH上に形成された第2の絶縁膜20(ゲート酸化膜)及び第2の導電ゲートG2から成る第2の積層構造体TR₂(選択トランジスタに相当する)を形成することができる。

【0049】[工程-120] 次いで、レジスト2を除去し、更に酸化膜のエッチングを行い(場合によっては、不要な第2の絶縁膜20を同時に選択的にエッチングし)、シリコン半導体基板1の表面及び第2の導電ゲートG2の表面を、例えば800～900°Cの低温酸化法にて酸化し、SiO₂から成る酸化膜10Aを形成する(図10の(A)参照)。この酸化膜10Aは、第1の絶縁膜10の一部分に相当する。即ち、第1の積層構造体形成予定領域TR₁A上における酸化膜10Aがトンネル酸化膜に相当し、その厚さを例えば2nmとした。尚、この酸化膜10AがONO絶縁膜から成る第1の絶縁膜10の最下層の酸化膜(ボトム酸化膜)となる。ソース・ドレイン領域30及び第2の導電ゲートG2には高濃度の不純物がドーピングされているため、先にレジスト2で被覆されていたシリコン半導体基板の領域(第1の積層構造体形成予定領域TR₁Aに相当す

る)よりも、2~4倍厚い酸化膜10Cが形成される。尚、このような現象は増速酸化と呼ばれている。

【0050】[工程-130]次に、通常のCVD法で全面にSiN膜を形成し、更に、SiN膜の表面を酸化する。これによって、上からSiO₂から成る酸化膜/SiNから成る窒化膜(酸化膜/窒化膜)10B及びSiO₂から成る酸化膜10Aから構成されたONO絶縁膜から成る第1の絶縁膜10が形成される(図10の(B)参照)。窒化膜及びその上に形成された酸化膜(これら2層をまとめて参照番号10Bで示した)が電荷蓄積層に相当する。

【0051】[工程-140]その後、ポリシリコン層(場合によっては、更に、その上にタンガステンシリサイド等のシリサイド層)を通常のCVD法にて全面に形成し、フォトリソグラフィ技術及びドライエッチング技術によってかかるポリシリコン層を選択的に除去し、第1の導電ゲートG1(ワード線WWに相当する)を形成する。必要があれば、併せて、第1の導電ゲートG1で被覆されていない領域の第1の絶縁膜を除去する。これにより、半導体チャネル形成領域CH上に、電荷蓄積層10Bを含む第1の絶縁膜10及び第1の導電ゲートG1から成る第1の積層構造体TR₁(MONOS型メモリトランジスタに相当する)が完成する。複数の不揮発性メモリセルの第1の導電ゲートG1は、ソース・ドレイン方向に電気的に接続されている。この状態を、図11の(A)の模式的な一部断面図、及び図11の(B)の模式的な一部平面図に示す。尚、図11の(A)は、図11の(B)の線A-Aに沿った断面図である。

【0052】[工程-150]その後、ボロンを全面にイオン注入し、素子分離領域31を形成する(図12の模式的な一部平面図を参照)。

【0053】[工程-160]次に、例えばSiO₂から成る層間絶縁層32を例えばCVD法にて全面に形成し、第2の導電ゲートG2の所望部分の上方の層間絶縁層32に、フォトリソグラフィ技術及びドライエッチング技術を用いて開口部33を形成する。その後、アルミニウムあるいはアルミニウム系合金から成る金属配線材料層を開口部33内を含む層間絶縁層32上に堆積させ、フォトリソグラフィ技術及びドライエッチング技術を用いて金属配線材料層を所望の形状にパターニングする。これによって、第2の導電ゲートG2をソース・ドレイン方向に例えば不揮発性メモリセル1つおきに電気的に接続する。尚、このパターニングされた金属配線材料層は、選択ゲート線BWに相当する。この状態を、図13の(A)の模式的な一部断面図、及び図13の(B)の模式的な一部平面図に示す。尚、図13の(A)は、図13の(B)の線A-Aに沿った断面図であり、図13の(A)に描いた領域は、図11の(B)の線X111-X111に沿った領域に相当する。

【0054】この不揮発性メモリセルは、1ビットを構

成する第1の積層構造体TR₁(メモリトランジスタ)と第2の積層構造体TR₂(選択トランジスタ)との間にソース・ドレイン領域がないので、従来の1つの選択トランジスタと1つのメモリトランジスタから構成された不揮発性メモリセルと比較して、1つの不揮発性メモリセルを小さくできるという特徴がある。また、ソース・ドレイン領域の形成を行う場合、一部分はセルフアライメントで形成されるという利点がある。

【0055】更には、従来技術のように1つのワード線WWにおいて1つの不揮発性メモリセルのデータしか読み取るのではなく、1つのワード線WWにおいて隣接していない複数の不揮発性メモリセルからデータを読み取ることができ、従来よりも高速で不揮発性メモリセルのデータを読み取ることができる。また、データの消去あるいはデータの書き込みの際、第2の積層構造体TR₂(選択トランジスタ)はオフ状態にされるので、不揮発性メモリセルに対して確実にデータの消去あるいはデータの書き込みを行うことができ、しかも、他の不揮発性メモリセルに対して影響を及ぼすことが全くない。

【0056】(実施例2)実施例2は、実施例1で説明した不揮発性メモリセルアレイの作製方法の変形であり、実施例1の[工程-120]を変更した例である。以下、実施例1の[工程-120]に相当する工程のみを、図14を参照して説明する。

【0057】[工程-200]実施例1の[工程-110]に続き、レジスト2を除去し、シリコン半導体基板表面及び第2の導電ゲートG2の表面を、例えば800~900°Cの低温パイロジェニック酸化法にて酸化し、SiO₂から成る酸化膜10Cを形成する(図14の(A)参照)。実施例1と異なり、第1の積層構造体形成予定領域TR₁Aにおける酸化膜10Cを約100nmとした。尚、実施例1と同様に増速酸化によって、ソース・ドレイン領域30上及び第2の導電ゲートG2上には200~400nmの厚さの酸化膜10Cが形成される。

【0058】[工程-210]その後、第1の積層構造体形成予定領域TR₁Aの部分に形成された酸化膜10Cを除去する(図14の(B)参照)。かかる酸化膜10Cの部分的な除去は、酸化膜10Cを全面エッチングすることによって行うことができる。

【0059】[工程-220]その後、露出したシリコン半導体基板の表面1A(第1の積層構造体形成予定領域TR₁Aに相当する)を、例えば希釈酸化法にて再び酸化し、例えば厚さ2nmのトンネル酸化膜10Aを形成する(図14の(C)参照)。このトンネル酸化膜10AがONO絶縁膜から成る第1の絶縁膜10の最下層の酸化膜(ボトム酸化膜)となる。以降、実施例1の[工程-130]~[工程-160]を実施し、不揮発性メモリセルを完成する。

【0060】この実施例2で説明した方法によれば、希

積酸化法を用いているため、ボトム酸化膜の膜厚の制御性に優れており、半導体メモリセルの特性のばらつき発生を効果的に抑制することができる。しかも、第2の導電ゲートG2上に厚い酸化膜10Cを形成し得るので、第1の導電ゲートG1と第2の導電ゲートG2との間の耐圧が向上する。

【0061】（実施例3）実施例3においては、まず、第1の積層構造体（メモリトランジスタに相当する）を形成し、その後第2の積層構造体（選択トランジスタに相当する）を形成する。図15に実施例3の不揮発性メモリセルアレイの回路図を示す。実施例3の不揮発性メモリセルアレイの構造は、本質的には実施例1にて説明した不揮発性メモリセルアレイの構造と同様である。図1に示した実施例1の不揮発性メモリセルアレイと相違する点は、中間領域（図15に点線で示す）が形成されている点にある。以下、図16及び図17を参照して、実施例3の不揮発性メモリセルの作製方法を説明する。

【0062】【工程-300】 先ず、シリコン半導体基板の表面を酸化することによってSiO₂から成るトンネル酸化膜10Aを形成し、その上に通常のCVD法で全面にSiNから成る窒化膜を形成し、更に、窒化膜の表面を酸化してSiO₂から成る酸化膜を形成する。これによって、ONO絶縁膜から成る第1の絶縁膜10が形成される。尚、参照番号10Bにて示す窒化膜及びその上に形成された酸化膜が、電荷蓄積層に相当する。

【0063】【工程-310】 その後、全面にポリシリコン層をCVD法にて形成し、更に、その上にSiNから成るエッチングストップ層40を形成する。尚、エッチングストップ層40は、次の【工程-320】において第2の導電ゲートG2をエッチングによって形成する際に使用するエッチャントによってエッチングされない材料若しくはエッチングされ難い材料であれば如何なる材料でもよい。次いで、フォトリソグラフィ技術及びドライエッチング技術を用いてエッチングストップ層40、ポリシリコン層及び必要があれば第1の絶縁膜10を選択的に除去し、電荷蓄積層10Bを含む第1の絶縁膜10及び第1の導電ゲートG1を形成する（図16の（A）参照）。第1の導電ゲートG1の頂面にはエッチングストップ層40が残されている。尚、第1の導電ゲートG1等は、図16の紙面の垂直方向に延びている。

【0064】【工程-320】 次に、シリコン半導体基板の表面にSiO₂から成る第2の絶縁膜20（ゲート酸化膜）を従来の酸化法にて形成し、その後、全面にポリシリコン層を形成し、フォトリソグラフィ技術及びドライエッチング技術を用いて、第2の導電ゲートG2を形成する（図16の（B）参照）。ドライエッチングの際、第1の導電ゲートG1上に形成されたSiNから成るエッチングストップ層40が存在するので、第1の導電ゲートG1がエッチングされることを防止できる。第2の導電ゲートG2は、図面の紙面と垂直方向に、例え

ば2k個の不揮発性メモリセル分だけ延びている。

【0065】【工程-330】 その後、LDD構造を形成するためにイオン注入を行い、例えばn⁻型層を形成する。そして、更に、全面にSiO₂層を形成した後、SiO₂層をエッチバックして、第1及び第2の導電ゲートの側壁にLDDサイドウォール41を形成する（図16の（C）参照）。尚、第1の導電ゲートG1と第2の導電ゲートG2の間は狭いので、この領域はSiO₂層41Aで充填される。第1の導電ゲートG1と第2の導電ゲートG2の間の領域においてシリコン半導体基板1に形成されたn⁻型層が、中間領域30Cに相当する。

【0066】【工程-340】 次に、不純物のイオン注入を行い、ソース・ドレイン領域30を形成する（図17の（A）参照）。n⁺型のソース・ドレイン領域30の形成は、セルフアライメントで形成することができる。

【0067】【工程-350】 その後、フォトリソグラフィ技術及びエッチング技術を用いて、第1の導電ゲートG1等を選択的に除去し、不揮発性メモリセルを形成すべき領域にのみ第1の導電ゲートG1等を残す。次いで、ボロンを全面にイオン注入し、素子分離領域31を、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルの第1の導電ゲートG1の間に形成する（図18を参照）。

【0068】【工程-360】 その後、SiO₂から成る層間絶縁層32を、例えば800~900°Cの低温パロジェニック酸化法にて形成する（図17の（B）参照）。ソース・ドレイン領域30上及び第2の導電ゲートG2の上には、増速酸化で厚い酸化膜から成る層間絶縁層32が形成される。第1の導電ゲートG1の上のSiNから成るエッチングストップ層40は、極く僅かに酸化されるのみである。尚、エッチングストップ層40上に形成された酸化膜を参照番号32Aで示す。

【0069】【工程-370】 次に、極く短時間のウェットエッチング若しくはドライエッチングにより、SiNから成るエッチングストップ層40上の酸化膜32Aを除去する。次ぎに、例えば加熱した燐酸によってエッチングストップ層40を除去する。尚、フォトリソグラフィ技術及びドライエッチング技術を用いてエッチングストップ層40及びその上の酸化膜32Aを除去してもよい。その結果、第1の導電ゲートG1が露出し、第2の導電ゲートG2は層間絶縁層32で覆われた状態のままととなる。

【0070】【工程-380】 その後、アルミニウムあるいはアルミニウム系合金から成る金属配線材料層を例えばスパッタ法にて全面に形成し、次いで、金属配線材料層を所望の形状にパターニングして、かかる金属配線材料層から成るワード線WWによって第1の導電ゲートG1をソース・ドレイン方向に電氣的に接続する（図1

7の(C)参照)。尚、ワード線WWをポリシリコン又はシリサイドから構成する場合には、[工程-350]を省略することができる。この場合には、フォトリソグラフィ技術及びエッチング技術によってワード線WWを形成し、更に、セルフアライン的に第1の導電ゲートG1をエッチングすることができる。そして、第1の導電ゲートG1の選択的な除去の後、ボロンを全面にイオン注入し、素子分離領域31を、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルの第1の導電ゲートG1の間に形成すればよい。

【0071】[工程-390]次いで、第2の層間絶縁層(図示せず)を例えばCVD法にて全面に形成し、第2の導電ゲートG2の所望部分の上方の第2及び第1の層間絶縁層に、フォトリソグラフィ技術及びドライエッチング技術を用いて開口部を形成する。その後、アルミニウムあるいはアルミニウム系合金から成る金属配線材料層を開口部内を含む第2の層間絶縁層上に堆積させ、フォトリソグラフィ技術及びドライエッチング技術を用いて金属配線材料層を所望の形状にパターニングする。これによって、第2の導電ゲートG2をソース・ドレイン方向に例えば不揮発性メモリセル1つおきに電気的に接続する。尚、このパターニングされた金属配線材料層は、選択ゲート線BWに相当する。こうして作製された実施例3の不揮発性メモリセルの各領域を或る平面に投影したと仮定したときの平面投影図を図18に示す。図18において、1つの不揮発性メモリセルを構成する領域を一点鎖線で示した。尚、第2の層間絶縁層を形成せずに、[工程-370]の前若しくは後に、第2の導電ゲートG2の上方の層間絶縁層32に開口部を形成しておけば、ワード線WWの形成と同時に選択ゲート線BWを形成することができる。

【0072】実施例3の不揮発性メモリセルは、1ビットを構成する第1の積層構造体TR₁(メモリトランジスタに相当する)と第2の積層構造体TR₂(選択トランジスタに相当する)との間に中間領域30Cが形成されているだけであり、従来の1つの選択トランジスタと1つのメモリトランジスタから構成された不揮発性メモリセルと比較して、1つの不揮発性メモリセルを小さくできるという特徴がある。また、ソース・ドレイン領域をセルフアライメントで形成することができるという利点がある。

【0073】更には、従来技術のように1つのワード線WWにおいて1つの不揮発性メモリセルのデータしか読み取るのではなく、1つのワード線WWにおいて隣接していない複数の不揮発性メモリセルからデータを読み取ることができ、従来よりも高速で不揮発性メモリセルのデータを読み取ることができる。また、データの消去あるいはデータの書き込みの際、第2の積層構造体TR₂(選択トランジスタ)はオフ状態にされるので、不揮発性メモリセルに対して確実にデータの消去あるいはデー

タの書き込みを行うことができ、しかも、他の不揮発性メモリセルに対して影響を及ぼすことが全くない。

【0074】(実施例4)実施例4においては、実施例1と同様に、先ず、第2の積層構造体(選択トランジスタに相当する)を形成し、その後、第1の積層構造体(メモリトランジスタに相当する)を形成する。実施例4の不揮発性メモリセルアレイの構造は、本質的には実施例1にて説明した不揮発性メモリセルアレイの構造と同様である。実施例4においては、実施例1と異なり、ソース・ドレイン領域の形成をセルフアライメントで形成する。また、実施例1の不揮発性メモリセルアレイと異なり、中間領域が形成されている。実施例4の不揮発性メモリセルアレイの回路図は、実質的に図15と同様である。以下、図19及び図20を参照して、実施例4の不揮発性メモリセルの作製方法を説明する。

【0075】[工程-400]先ず、シリコン半導体基板1の表面を従来の方法で酸化して、シリコン半導体基板1の表面にSiO₂から成る第2の絶縁膜20(ゲート酸化膜)を形成する。次に、例えばCVD法で全面にポリシリコン層を成形した後、その上にSiO₂あるいはSiNから成るエッチングストップ層40を形成する。尚、エッチングストップ層40は、[工程-420]において第1の導電ゲートG1をエッチングによって形成する際に使用するエッチャントによってエッチングされない材料若しくはエッチングされ難い材料であれば如何なる絶縁材料でもよい。次いで、フォトリソグラフィ技術及びドライエッチング技術を用いてエッチングストップ層40、ポリシリコン層及び第2の絶縁膜20を選択的に除去し、ポリシリコンから成る第2の導電ゲートG2を形成する(図19の(A)参照)。第2の導電ゲートG2は、図19の紙面と垂直方向に、例えば不揮発性メモリセル2k個分だけ延びている。

【0076】[工程-410]次に、シリコン半導体基板1の露出した表面を含む全面にSiO₂から成る絶縁膜10A、SiNから成る窒化膜及びSiO₂から成る酸化膜10BのONO絶縁膜から構成された第1の絶縁膜10を形成する。尚、参照番号10Bにて示す窒化膜及びその上に形成された酸化膜が、電荷蓄積層に相当する(図19の(B)参照)。

【0077】[工程-420]その後、全面にポリシリコン層をCVD法にて堆積させ、次いで、フォトリソグラフィ技術及びドライエッチング技術によってポリシリコン層及び必要に応じて第1の絶縁膜10を選択的に除去し、第1の導電ゲートG1を形成する(図19の(C)参照)。第1の導電ゲートG1の下には、ONO膜から成る第1の絶縁膜10が残される。ドライエッチングの際、第2の導電ゲートG2上にエッチングストップ層40が存在するので、第2の導電ゲートG2がエッチングされることを防止できる。尚、第1の導電ゲートG1等は、図19の紙面の垂直方向に延びている。

【0078】[工程-430]その後、LDD構造を形成するためにイオン注入を行い、更に、全面に SiO_2 層を形成した後、 SiO_2 層をエッチバックして、第1及び第2の導電ゲートの側壁にLDDサイドウォール41を形成する(図20の(A)参照)。尚、第1の導電ゲートG1と第2の導電ゲートG2の間は狭いので、この領域は SiO_2 層41Aで充填される。第1の導電ゲートG1と第2の導電ゲートG2の間の領域においてシリコン半導体基板1に形成された n^+ 型層が、中間領域30Cに相当する。

【0079】[工程-440]次に、不純物のイオン注入を行い、ソース・ドレイン領域30を形成する(図20の(B)参照)。ソース・ドレイン領域30を、セルフアライメントで形成することができる。

【0080】[工程-450]その後、フォトリソグラフィ技術及びエッチング技術を用いて、第1の導電ゲートG1等を選択的に除去し、不揮発性メモリセルを形成すべき領域にのみ第1の導電ゲートG1を残す。次いで、ボロンを全面にイオン注入し、素子分離領域(図示せず)を、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルの第1の導電ゲートG1の間に形成する。

【0081】[工程-460]その後、 SiO_2 から成る層間絶縁層32を、例えば800~900°Cの低温パイロジェニック酸化法にて形成する。ソース・ドレイン領域30上及び第2の導電ゲートG1の上には、増速酸化で厚い酸化膜から成る層間絶縁層32が形成される。そして、エッチバック法、あるいはフォトリソグラフィ技術及びエッチング技術を用いて、第1の導電ゲートG1上に開口部を形成し、ポリシリコン層によって第1の導電ゲートG1のそれぞれを電気的に接続するためのワード線WWを形成する(図20の(C)参照)。尚、ワード線WWをポリシリコン又はシリサイドから構成する場合には、[工程-450]を省略することができる。この場合には、実施例3の[工程-380]にて説明した方法と同様の方法で、第1の導電ゲートG1の選択的な除去、ボロンの全面へのイオン注入を行い、素子分離領域を、ソース・ドレイン方向に交差する方向に隣接する不揮発性メモリセルの第1の導電ゲートG1の間に形成すればよい。

【0082】[工程-470]次いで、第2の層間絶縁層(図示せず)を例えばCVD法にて全面に形成し、第2の導電ゲートG2の所望部分の上方の第2及び第1の層間絶縁層に、フォトリソグラフィ技術及びドライエッチング技術を用いて開口部を形成する。その後、アルミニウムあるいはアルミニウム系合金から成る金属配線材料層を、開口部内を含む第2の層間絶縁層上に堆積させ、フォトリソグラフィ技術及びドライエッチング技術を用いて金属配線材料層を所望の形状にパターニングする。これによって、第2の導電ゲートG2をソース・ド

レイン方向に例えば不揮発性メモリセル1つおきに電気的に接続する。尚、このパターニングされた金属配線材料層は、選択ゲート線BWに相当する。こうして作製された実施例4の不揮発性メモリセルの各領域を或る平面に投影したと仮定したときの平面投影図は、実質的には図18に示した平面投影図と同様である。

【0083】実施例4の不揮発性メモリセルも、1ビットを構成する第1の積層構造体TR₁(メモリトランジスタに相当する)と第2の積層構造体TR₂(選択トランジスタに相当する)との間に中間領域30Cが形成されているだけであり、従来の1つの選択トランジスタと1つのメモリトランジスタから構成された不揮発性メモリセルと比較して、1つの不揮発性メモリセルを小さくできるという特徴がある。また、ソース・ドレイン領域を、セルフアライメントで形成することができるという利点がある。

【0084】以上、本発明の不揮発性メモリセルアレイを好ましい実施例に基づき説明したが、本発明の不揮発性メモリセルアレイはこれらの実施例に限定されるものではない。実施例においては、第1の絶縁膜を専らONO絶縁膜としたが、第1の絶縁膜はこれに限定されない。例えば、第1の絶縁膜を、下から SiON から成る酸化窒化膜/ SiN から成る窒化膜/ SiO_2 から成る酸化膜の3層構成、下から SiO_2 から成る酸化膜/ SiN から成る窒化膜の2層構成、下から SiON から成る酸化窒化膜/ SiN から成る窒化膜の2層構成とすることもできる。更には、第1の絶縁膜を、下から4~10nm厚の絶縁膜/不純物を $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ドーピングしたポリシリコンから成るシリコン薄膜/絶縁膜から構成された所謂フローティングゲート型、あるいは又、下から4~10nm厚の絶縁膜/不純物を $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ドーピングしたポリシリコンから成るシリコン薄膜/多層絶縁膜(例えば、ONO膜若しくはNO膜)から構成されたフローティングゲート型とすることもできる。

【0085】第1及び第2の導電ゲートをポリシリコン層から構成する代わりに、シリサイド層、あるいは又、ポリシリコン層とシリサイド層の2層から成るポリサイド構造とすることもできる。実施例1における第1の導電ゲート(ワード線WWに相当する)においては、その上にアルミニウム又はアルミニウム系合金等から成る金属配線層を形成することもできる。また、実施例3若しくは実施例4におけるワード線や選択ゲート線を、ポリシリコン、下からポリシリコン/シリサイド等から構成することもできるし、層間絶縁層32をCVD法にて形成してもよい。

【0086】本発明の不揮発性メモリセルアレイは、シリコン半導体基板に形成するだけでなく、例えばSOI構造を有する基板に形成することができる。

【0087】

【発明の効果】本発明の不揮発性メモリセルアレイにおいては、ソース・ドレイン方向の素子分離領域を不要としているので、不揮発性メモリセルの高集積化が可能である。また、メモリトランジスタと選択トランジスタの2つのトランジスタから構成された従来の不揮発性メモリセルよりも、メモリセルの大きさを小さくすることができ、不揮発性メモリセルを高密度に集積できる。しかも、チャネル形成領域から電荷（電子又は正孔）を電荷蓄積層へ注入若しくは引き抜くタイプの不揮発性メモリセルであるが故に、高い書き換え回数を達成できる。更には、第2の積層構造体（選択トランジスタに相当する）を備えているため、第1の積層構造体（メモリトランジスタに相当する）の電流駆動能力を低下させることがなく、しかも隣接する不揮発性メモリセルの第1の積層構造体（メモリトランジスタに相当する）への誤書き込みを防ぐことができる。

【0088】本発明の不揮発性メモリセルアレイの好ましい態様においては、第2の導電ゲートは、ソース・ドレイン方向に交差する方向に複数の不揮発性メモリセル分、電気的に接続されており、更に、ソース・ドレイン方向に少なくとも不揮発性メモリセル1つおきに電気的に接続されている。これによって、或る第2の導電ゲートにおいて、例えば1つおきに不揮発性メモリセル内のデータを読み出すことができ、従来の不揮発性メモリセルアレイよりもデータの読み出しを高速で行うことが可能になる。

【図面の簡単な説明】

【図1】実施例1の不揮発性メモリセルアレイの回路図である。

【図2】実施例1の不揮発性メモリセルアレイの各領域の平面投影図を示す。

【図3】実施例1の不揮発性メモリセルアレイの一部断面図である。

【図4】実施例1の不揮発性メモリセルアレイの一部断面図である。

【図5】実施例1の不揮発性メモリセルアレイの一部断面図である。

【図6】実施例1の不揮発性メモリセルアレイの一部断面図である。

【図7】本発明の不揮発性メモリセルアレイの概要を示す模式的な回路図である。

【図8】実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図9】図8に引き続き、実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図10】図9に引き続き、実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図11】図10に引き続き、実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

リセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図12】図11に引き続き、実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図13】図12に引き続き、実施例1の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図14】実施例2の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図15】実施例3の不揮発性メモリセルアレイの回路図である。

【図16】実施例3の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図17】図16に引き続き、実施例3の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図18】実施例3の不揮発性メモリセルアレイの各領域の平面投影図を示す。

【図19】実施例4の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図20】図19に引き続き、実施例3の不揮発性メモリセルアレイの作製方法を説明するための半導体基板等の一部断面図である。

【図21】埋め込みビット線方式を適用した従来のマスクROMから成る半導体装置の模式的な平面図である。

【図22】埋め込みビット線方式を適用した従来のマスクROMから成る半導体装置の模式的な断面図である。

【図23】埋め込みビット線方式を適用した従来のマスクROMから成る半導体装置の動作を説明するための図である。

【図24】埋め込みビット線方式を適用したフラッシュEEPROMの模式的な一部断面図である。

【図25】埋め込みビット線方式を適用した従来のフラッシュEEPROMの回路図である。

【図26】ソース側にオフセット領域を設けた従来のフラッシュEEPROMの模式的な一部断面図及び回路図である。

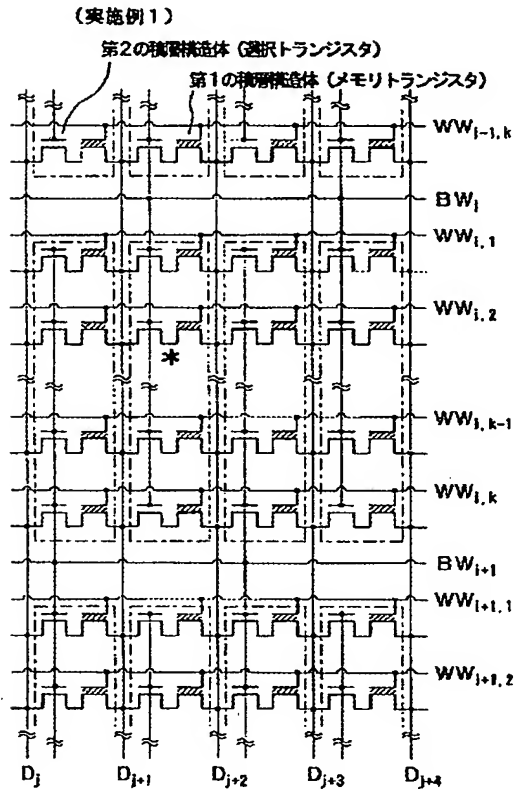
【符号の説明】

1	シリコン半導体基板
D	ビット線
WW	ワード線
BW	選択ゲート線
TR ₁	第1の積層構造体
G ₁	第1の導電ゲート
10	第1の絶縁膜
10A	酸化膜

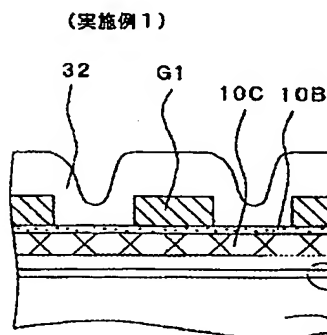
23

12 電荷蓄積層
 TR₂ 第2の積層構造体
 G2 第2の導電ゲート
 20 第2の絶縁膜
 30, 30A, 30B ドレイン/ソース領域若しくは

【図1】



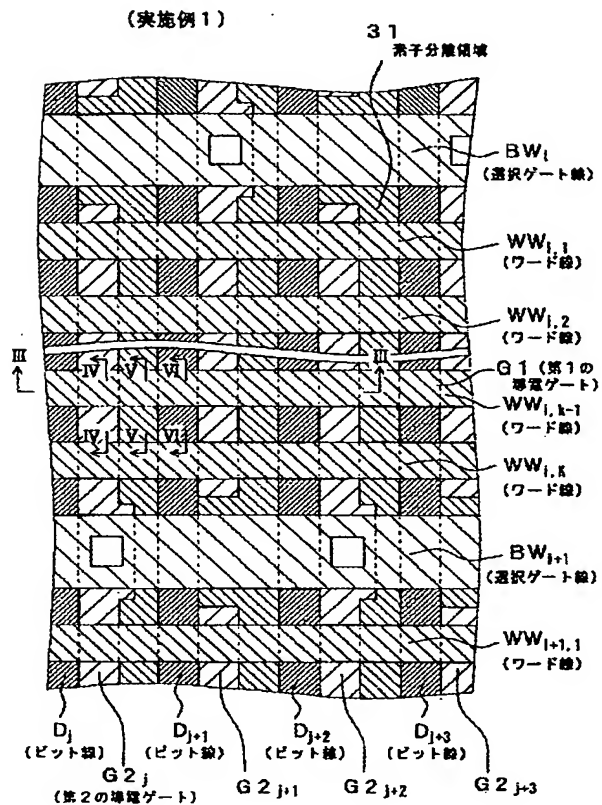
【図4】



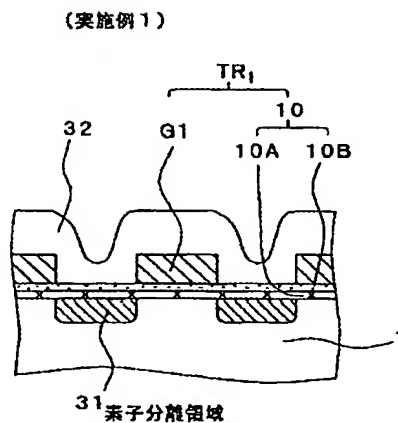
24

はソース/ドレイン領域
 CH 半導体チャネル形成領域
 32 層間絶縁層
 33 開口部

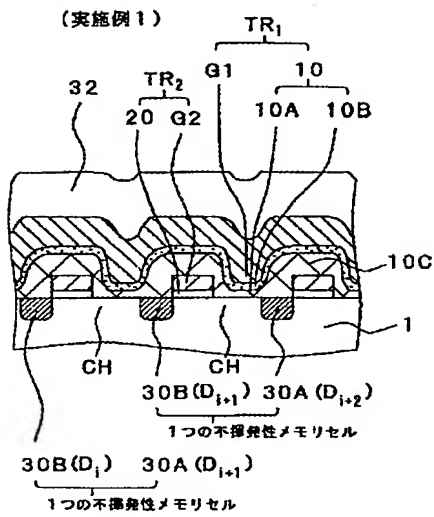
【図2】



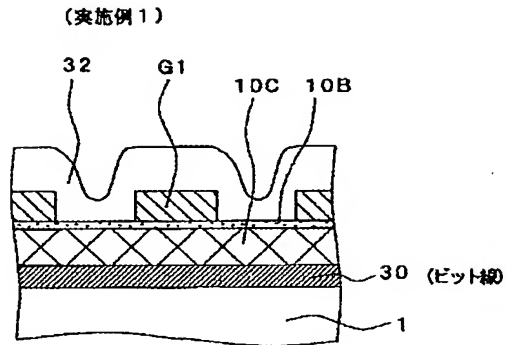
【図5】



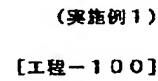
【図 3】



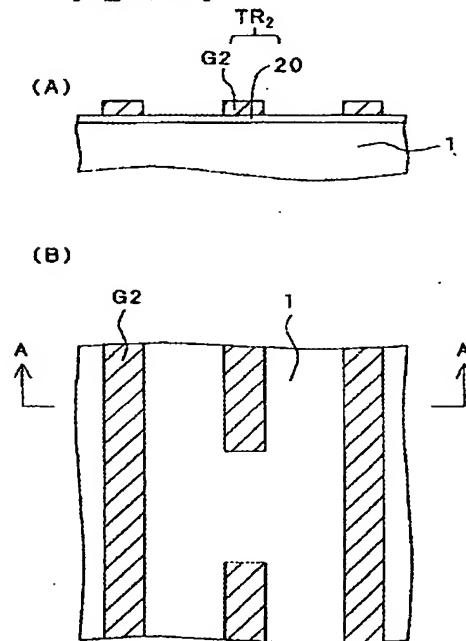
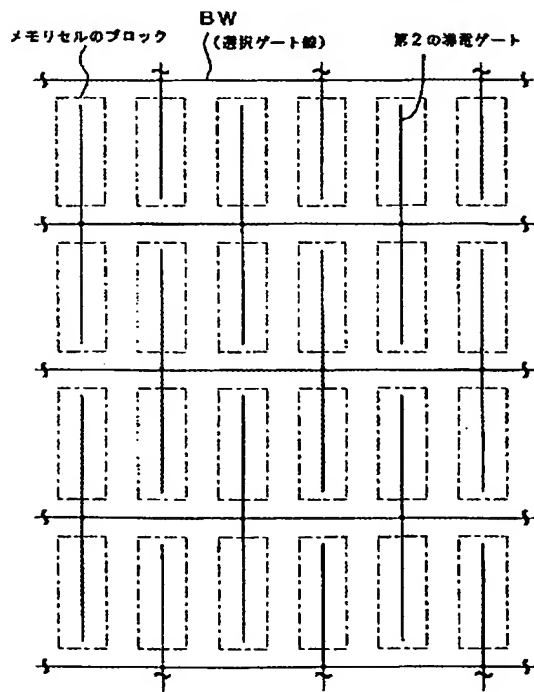
【图6】



【图8】



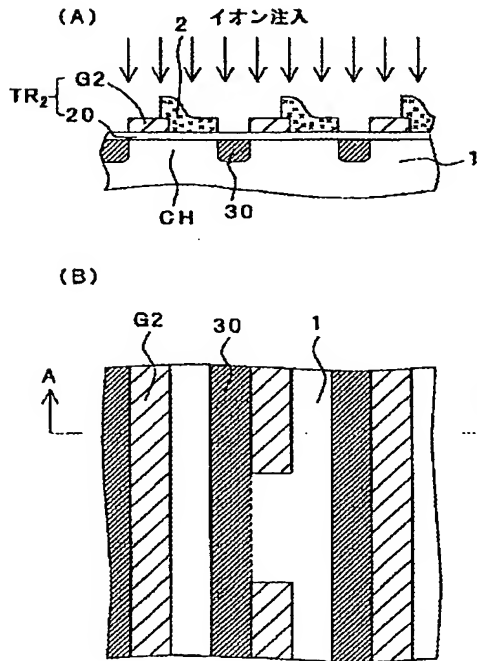
【図7】



【図9】

(実施例1) 続き

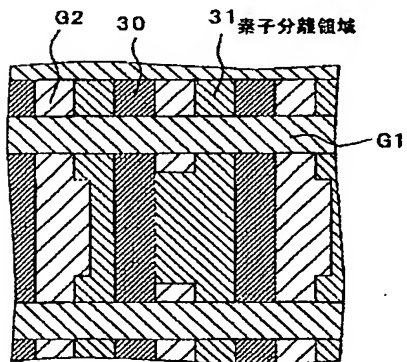
【工程-110】



【図12】

(実施例1) 続き

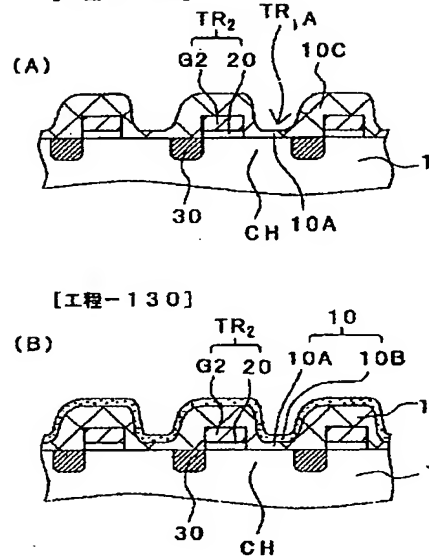
【工程-150】



【図10】

(実施例1) 続き

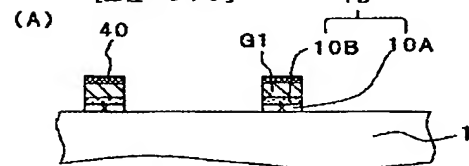
【工程-120】



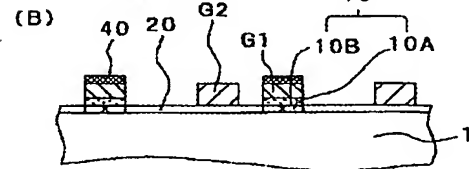
【図16】

(実施例3)

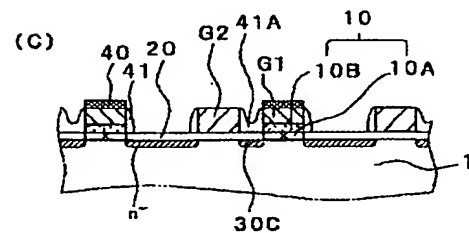
【工程-310】



【工程-320】

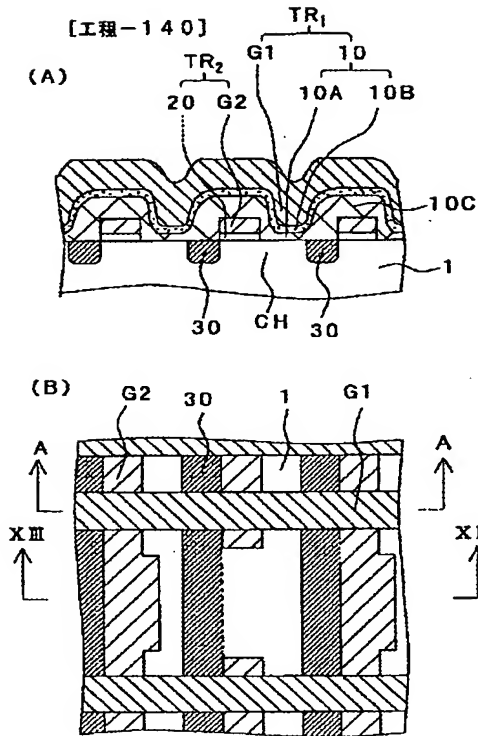


【工程-330】



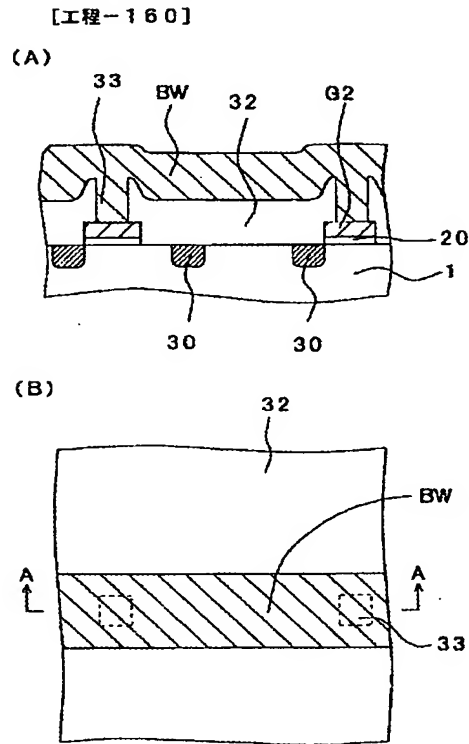
【図11】

(実施例1) 続き

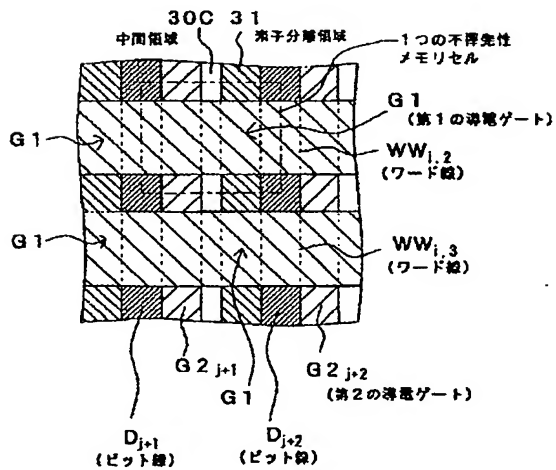


【図13】

(実施例1) 続き

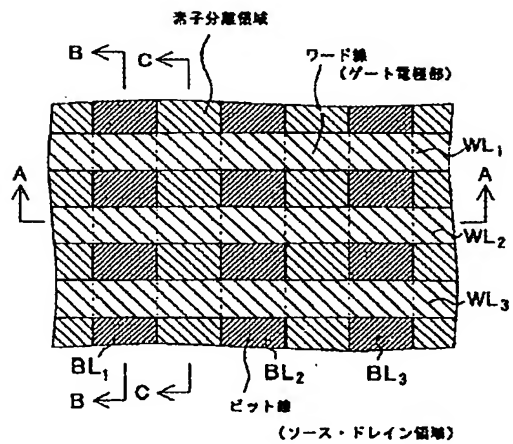


【図18】

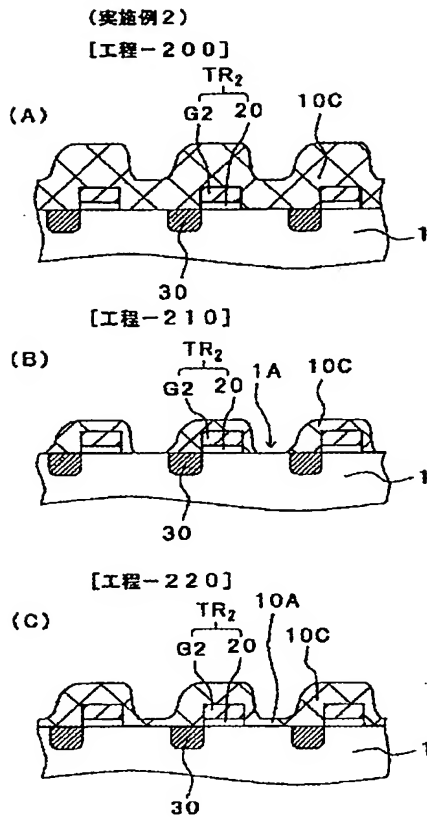


【図21】

(従来技術)

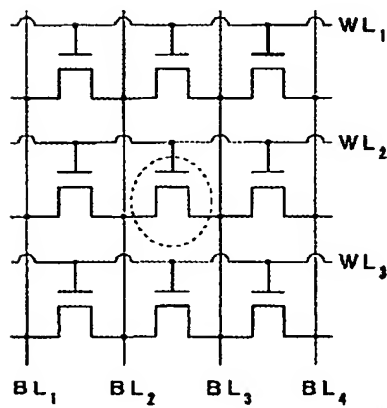


【図14】

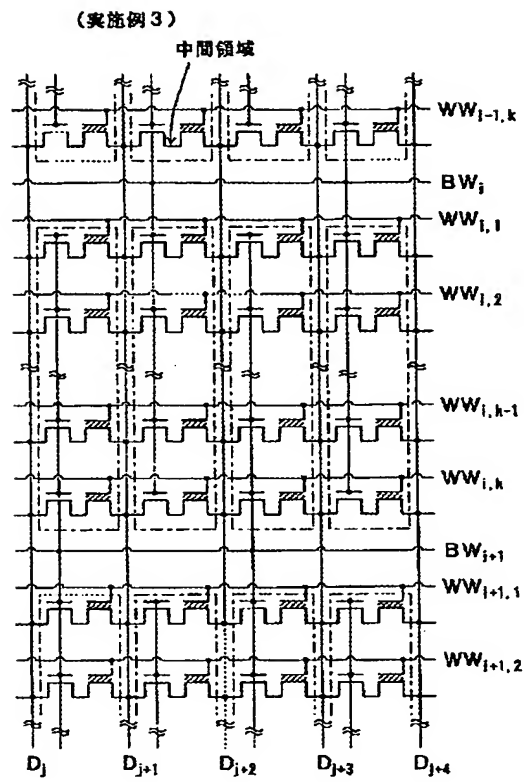


【図23】

(従来技術)

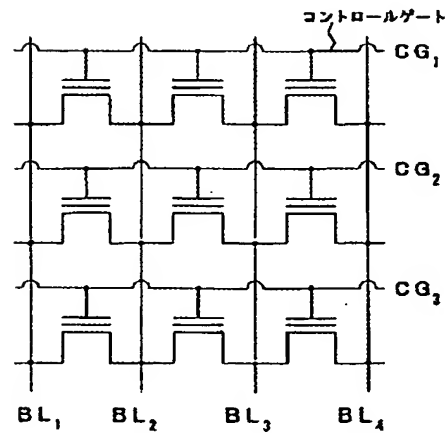


【図15】

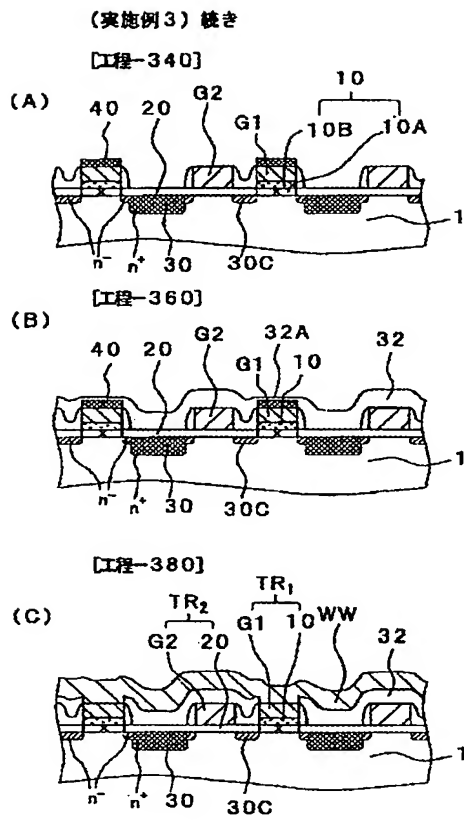


【図25】

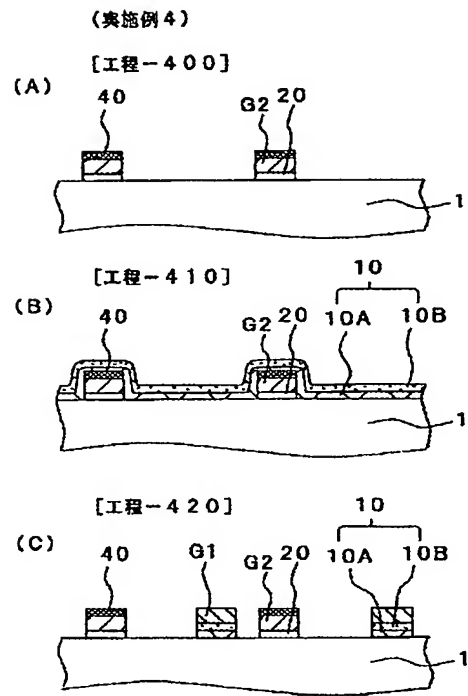
(従来技術)



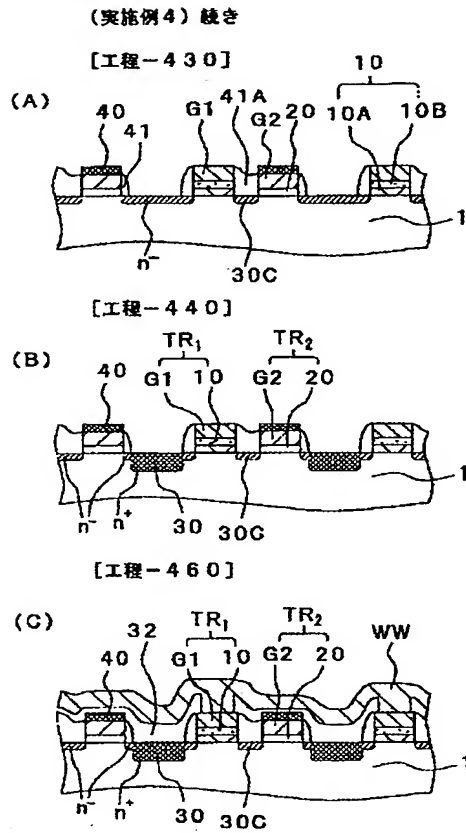
【図17】



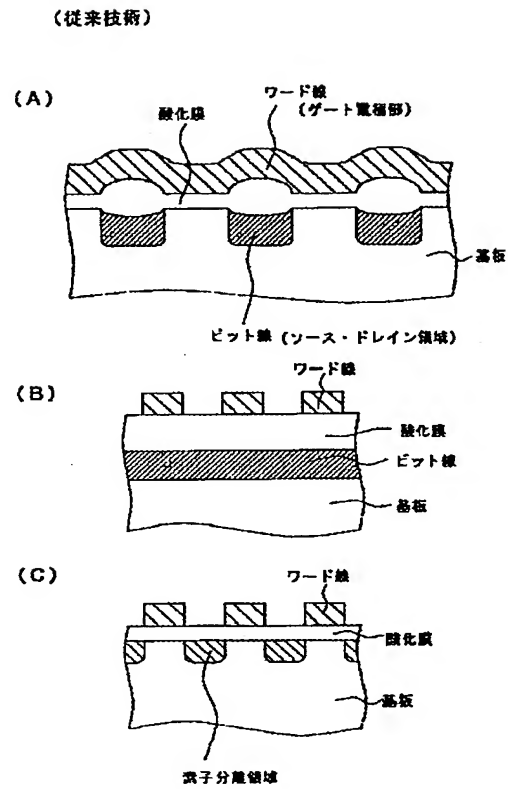
【図19】



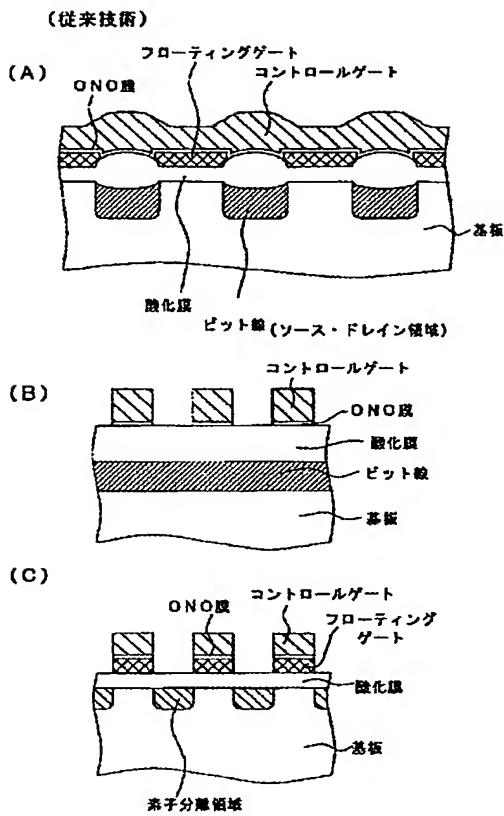
【図20】



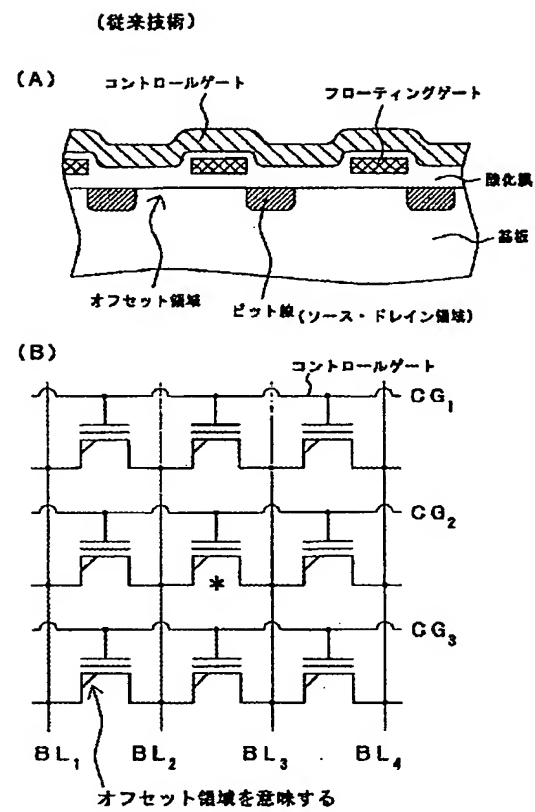
【図22】



【図24】



【図26】



フロントページの続き

(51) Int. Cl.⁶

H01L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.